

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93942

(P2002-93942A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷

H 0 1 L 23/12

識別記号

5 0 1

F I

H 0 1 L 23/12

テ-マ-ト (参考)

5 0 1 B

5 0 1 P

5 0 1 S

5 0 1 T

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願2000-279089 (P2000-279089)

(22) 出願日 平成12年9月14日 (2000.9.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 雄大

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100096253

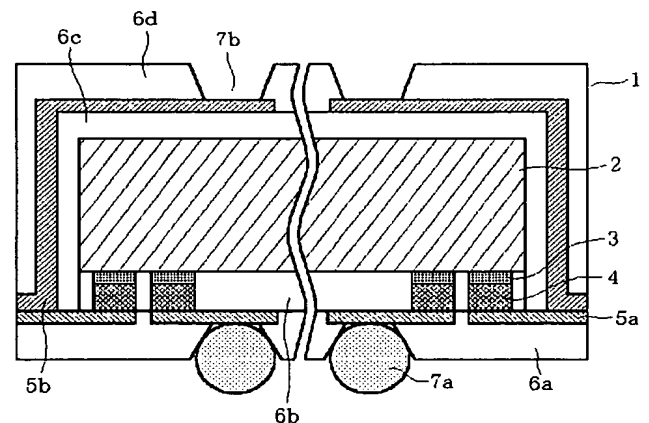
弁理士 尾身 祐助

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体装置の上下両面に外部端子を設けても、半導体装置の設計に制約を与えたり、半導体チップ面積の増加をもたらすことのないようにして、半導体装置の高密度実装の実現と、チップ面積の使用効率の向上を図る。

【解決手段】 半導体チップ2の能動素子面にはA1製の電極3が形成され、電極3はバンプ4を介して導体5aに接続されている。一部の導体5aには外部端子7aとして半田ボールが接続され、他の導体5aはチップの側面から上面(裏面)上に延びる導体5bに接続されている。導体5bの一部の領域は外部端子7bになされている。半導体チップ2と導体5aの間には絶縁体6bが充填され、半導体チップの側面と上面は絶縁体6cにより覆われ、半導体装置1の全体は外部端子形成領域を除いて絶縁体6a、6dに覆われている。



(図1)

1 半導体装置
2 半導体チップ
3 電極
4 バンプ

5a、5b 導体
6a、6b、6c、6d 絶縁体
7a、7b 外部端子

【特許請求の範囲】

【請求項 1】 半導体チップの第 1 の主面に半導体チップの金属電極に連なる配線を含む再配線層が形成され、前記第 1 の主面上の前記再配線層上に第 1 の外部端子が形成され、前記第 1 の主面の反対側の面である第 2 の主面上に前記再配線層に接続された第 2 の外部端子が形成されている半導体装置において、第 2 の外部端子はチップの側面に形成された側面配線を介して前記再配線層と接続され、かつ、前記側面配線の第 1 の主面側端部は“L”字状に曲げられその曲げられた部分が前記再配線層の前記第 2 の主面側の面と接触していることを特徴とする半導体装置。

【請求項 2】 前記第 1、第 2 の外部端子のうち少なくとも一方は導電性ボールにより構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 少なくとも一部の外部端子は、配線層上を覆う絶縁膜が選択的に除去された配線部分によって構成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記側面配線にも外部端子が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 一部の再配線層の一端は第 1 の外部端子に接続され、その他端は前記側面配線を介して第 2 の外部端子と接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 半導体チップの第 1 の主面に半導体チップの金属電極に連なる配線を含む再配線層が形成され、前記第 1 の主面上の前記再配線層上に第 1 の外部端子が形成されている半導体装置において、前記半導体チップの側面には前記再配線層の一部に接続された側面配線が形成されており、該側面配線には外部端子が形成されていることを特徴とする半導体装置。

【請求項 7】 (1) 第 1 の主面上に金属電極に連なる配線を含む再配線層が形成されているウェハを、前記再配線層の裏面が露出するように切断して溝を形成する工程と、(2) 切断により形成された溝に絶縁体を埋め込む工程と、(3) 埋め込まれた絶縁体の所定の箇所に前記再配線層の裏面を露出させるスルーホールを形成する工程と、(4) 一端が前記再配線層に接続された、前記スルーホールの内壁面を覆う側面配線と、一端が前記側面配線に接続された、ウェハの第 2 の主面上に延在する第 2 主面配線層とを形成する工程と、(5) 前記第

(1) の工程における切断線に沿って切断を行い個々のチップに切り分ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 (4) の工程の後、前記第 (5) の工程に先立って、外部端子形成領域上を除く前記第 2 主面配線上を覆い、かつ、前記スルーホール内を充填する絶縁体を形成する工程が付加されることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記第 (1) の工程の切断がダイサーにより行われることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 10】 前記第 (3) の工程において、スルーホールがレーザ光を用いて開口されることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 11】 前記第 (4) の工程において、配線層がメッキ法により形成されることを特徴とする請求項 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、さらに詳しくは、半導体チップの上下両面に外部端子を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、電子装置やシステムの小型化、高速化への要求は一段と高まってきており、これに応えるために実装技術面では、CSP(chip size package)からウェハ段階でパッケージングを行なうウェハレベルCSP技術が重要視されてきている。これとともにチップを積層してより高密度な実装を可能にする3次元実装技術が実現してきている。このような3次元実装を実現するためには、チップの表裏両面に外部端子を設けることが必要となる。

【0003】 図6は、ウェハレベルCSP技術により作製された、チップの表裏両面に外部端子を有する従来の半導体装置21(以下、第1の従来例という)の断面図である。図6に示すように、半導体チップ22の能動素子面にはA1などからなる電極23が形成されており、そのチップ表面はバンプ形成領域上を除いて絶縁体26bにより覆われている。一部の電極23はバンプ24を介して絶縁体26b上に形成された導体25aに接続されている。絶縁体26b上および導体25a上は、外部端子形成領域を除いて絶縁体26aにより覆われている。絶縁体26aの形成されていない領域には導体25aが露出しており、そこに外部端子27aが固着されている。電極23の一部は、基板を貫通して形成されたビアプラグ20を介してチップ裏面に形成された導体25bと接続されている。半導体チップ上および導体25b上は、外部端子27bとなる領域を除いて絶縁体26cにより被覆されている。しかしこの第1の従来例では、ビアプラグを形成するために半導体チップ22にスルーホールを開く必要があるが、そのスルーホールの開口位置によって素子配置や配線の引き回し制限を受けるため半導体装置の設計に制約を受けることがあった。また、スルーホールの面積分、半導体チップ面積が大きくなってしまいう問題点もあった。

【0004】 一方、特開2000-91496号公報には、チップ側面に形成された導電膜(接続部)を介して

3

チップ表・裏面に形成された配線を接続する技術が提案されている。図 7 は、同公報にて開示された半導体装置（以下、第 2 の従来例という）の断面図である。同図に示されるように、CSP30 のシリコン基板 31 の上面に形成された配線 32、33 は、シリコン基板 31 の側面に形成された接続部 34 およびシリコン基板 31 の下面に形成された配線 35 を介して柱状電極 36 に接続されている。そして、CSP30 は、配線基板 37 上に異方導電性接着剤 38 を介して搭載され、CSP30 上にはベアチップ 39 が搭載される。

【0005】

【発明が解決しようとする課題】 上述した第 1 の従来例は、設計の自由度が制約を受け、またスルーホールによってチップ面積が消費されることによりチップ面積が増大してしまうという問題点があった。一方、第 2 の従来例では、チップ表・裏面を接続する接続部 34 と配線 35 との接触部が配線 35 の側面のみに限定されているため、接続が不安定になったり接触抵抗が高くなったりする欠点がある。本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、設計の自由度を制約することなくかつチップ面積を増大させることなくチップ表・裏面間を接続することができるようにするとともに、チップ表・裏面間を低抵抗でかつ信頼性高く接続できるようにすることである。

【0006】

【課題を解決するための手段】 上記の目的を達成するため、本発明によれば、半導体チップの第 1 の主面に金属電極に連なる配線を含む再配線層が形成され、前記第 1 の主面上の前記再配線層上に第 1 の外部端子が形成され、前記第 1 の主面の反対側の面である第 2 の主面上に前記再配線層に接続された第 2 の外部端子が形成されている半導体装置において、第 2 の外部端子はチップの側面に形成された側面配線を介して前記再配線層と接続され、かつ、前記側面配線の第 1 の主面側端部は“L”字状に曲げられその曲げられた部分が前記再配線層の裏面と接触していることを特徴とする半導体装置、が提供される。

【0007】 また、上記の目的を達成するため、本発明によれば、（１）第 1 の主面上に金属電極に連なる配線を含む再配線層が形成されているウェハを、前記再配線層の裏面が露出するように切断して溝を形成する工程と、（２）切断により形成された溝に絶縁体を埋め込む工程と、（３）埋め込まれた絶縁体の所定の箇所に前記再配線層の裏面を露出させるスルーホールを形成する工程と、（４）一端が前記再配線層に接続された前記スルーホールの内壁面を覆う側面配線と、一端が前記側面配線に接続された、ウェハの第 2 の主面上に延在する第 2 主面配線層とを形成する工程と、（５）前記第（１）の工程における切断線に沿って切断を行い個々のチップに切り分ける工程と、を有することを特徴とする半導体装

4

置の製造方法、が提供される。

【0008】 そして、好ましくは、前記第（４）の工程の後、前記第（５）の工程に先立って、外部端子形成領域上を除く前記第 2 主面配線上を覆い、かつ、前記スルーホール内を充填する絶縁体を形成する工程が付加される。また、好ましくは、前記第（１）の工程の切断がダイサーにより行われる。さらに、好ましくは、前記第（３）の工程において、スルーホールがレーザ光を用いて開口される。また、一層好ましくは、前記第（４）の工程において、配線層がメッキ法により形成される。

【0009】

【発明の実施の形態】 次に、図面を参照して本発明の実施の形態について実施例に即して説明する。図 1 は、本発明の第 1 の実施例の半導体装置 1 の断面図である。半導体チップ 2 にはシリコンを用い、寸法が $10 \times 10 \times t0$ 、 3 mm である。そして半導体チップ 2 の能動素子面（下面）上には、 $0.1 \times 0.1 \text{ mm}$ の寸法で A1 製の電極 3 がチップの周辺に沿って 300 個配列されている。電極 3 は、バンプ 4 を介して導体 5 a に電氣的に接続されている。一部の導体 5 a の先端部には外部端子 7 a が固着され、他の一部の導体は、チップ側面からチップ上面へ延びる導体 5 b へ接続されている。導体 5 b の一部の領域は外部端子 7 b となっている。

【0010】 バンプ 4 は Au、導体 5 a、導体 5 b は Cu を用いて形成した。バンプ 4 の厚さは $50 \mu\text{m}$ 、導体 5 a、導体 5 b の膜厚は $20 \mu\text{m}$ とした。外部端子 7 a にはボール径 $250 \mu\text{m}$ の PbSn（鉛・スズ）半田を用いたが、他の半田や表面に導電性膜の形成された絶縁性球等を用いてもよい。また、外部端子 7 b のようになにもなくてもよい。また、半導体チップ 2 と導体 5 a の間には、図示の省略された、電極 3 上に開口を有するパッシベーション膜と絶縁体 6 b とが形成されている。半導体チップの側面と上面は絶縁体 6 c によって被覆され、また、半導体装置 1 全体は、外部端子形成領域上に開口を有する絶縁体 6 a、6 d により被覆されている。絶縁体 6 a、6 d は、ソルダーレジストで $50 \mu\text{m}$ 厚、絶縁体 6 c は、エポキシ樹脂でチップ上面での膜厚は $20 \mu\text{m}$ である。また、絶縁体 6 b は、ポリイミド等の低弾性樹脂により形成されている。これら絶縁体のうち 6 a と 6 d は必ずしも必要ではないが、信頼性上形成することが好ましい。

【0011】 本発明の半導体装置の特徴は、半導体装置の上下両面に電極を有することと、そのための配線を半導体チップ側面に有することと、その側面配線（導体 5 b）と再配線層（導体 5 a）との接続が平面上の接触によって達成されていることである。このように電氣的接続が平面的な接触によって達成される配線が側面にあることにより、電氣的な接続の信頼性を損ねることなく半導体チップは従来通り制約されることなく設計することができる。またさらに本実施例のように外部端子 7 a に

半田ボールを形成し、他の半導体装置の外部端子 7b と接続することにより、この半導体装置は容易に何段でも重ねることができる。

【0012】図 2～図 4 は、本発明の第 1 の実施例の製造方法を工程順に示す断面図である。まず、Al 製の電極 3 を有し、電極 3 上に開口を有するパッシベーション膜である絶縁体 6e によって覆われたウェハ 8 上に、スパッタ法によりバリアメタルとなる Ti/TiN を堆積し、その上に Au を堆積してメッキ下地層 4a を形成する〔図 2 (a)〕。次に、フォトリソグラフィ法により、半導体ウェハ上のパッシベーション膜（絶縁体 6e）と同一パターンの開口を有するメッキレジスト膜 12 を形成する〔図 2 (b)〕。次に、電解メッキ法により Au を 50 μm 程度堆積してバンプ 4 を形成し、その後メッキレジスト膜 12 を剥離除去する〔図 2 (c)〕。

【0013】次に、そのバンプ 4 をマスクとして、不要なメッキ下地層 3a をエッチング除去し、その後、全面に絶縁体 6b を堆積する。なお、以降の表示では、メッキ下地層 4a はバンプ 4 に含めて示し、絶縁体 6e は絶縁体 6b に含めて示すこととする〔図 2 (d)〕。次に、その絶縁体 6b を CMP 法によりバンプ 4 の表面が露出するまで研磨し平坦化する。さらにその上にメッキレジスト膜 13 を形成した後、メッキ活性化処理を行って全面に触媒層を形成し、メッキレジスト膜 13 上の触媒層のみを除去する。そして無電解メッキ法により Cu を 20 μm 堆積して導体 5a を形成する。以上により再配線層 11 が形成される〔図 2 (e)〕。次に、メッキレジスト膜 13 を剥離除去して、その全面にソルダーレジストを 50 μm 堆積して絶縁体 6a を形成し、その上にレジストマスク 14 をパターンニングする〔図 2 (f)〕。

【0014】次に、レジストマスク 14 をマスクとして外部電極形成領域上の絶縁体 6a をドライエッチングにより除去する〔図 3 (g)〕。なお、この絶縁体 6a のエッチングの工程は、後の図 4 (1) の工程の際に行うようにしてもよい。次に、これを半導体チップ 2 に切断するため溝 9 を形成する。切断深さは、再配線層 11 の導体 5a の手前、完全に絶縁体 6b がなくなるところまでとした。切断にはダイシング装置を用い、その条件は、ブレード厚 300 μm、切断速度 60 mm/秒、回転数 3000 rpm とした。またこのとき平面方向の切断の位置決めには赤外線を用いた。赤外線はシリコンを透過する性質をもつため、半導体チップ表面の Al 認識マーク（図示せず）を画像処理して読み取り、位置決めした。

【0015】切断の深さは、完全に絶縁体 6b を無くし、かつ導体 5a は残す深さにコントロールする必要がある。深さ方向の誤差として考えられるのは、ダイシング装置の深さ方向の機械的精度、ブレードの摩耗、部材

厚さばらつきである。装置の機械的精度は 0.5 μm である。またブレードの摩耗は何ラインか切断したら途中でオフセットをかけるようにすればキャンセルできる。部材厚のばらつきは、切断するのが導体 5a の手前までなので、それより下側にある絶縁体 6a の厚さばらつきだけを考慮すればよい。今回は絶縁体 6a の 1 層のみであるため 2 μm 程度に抑えられている。よってトータル 2.5 μm 程度であり、これを見込んで切断を行っても導体 5a が 2.5 μm 程度深く研削されるだけなので問題は無い。再配線層が多層となった場合は、研削を行ったり、導体 5a の厚さを厚くする等の工夫が必要である〔図 3 (h)〕。

【0016】次に、切断されたウェハ 8 上面に適量のエポキシ樹脂を塗布しスキージングして溝 9 に埋め込み、ウェハ 8 上面および溝 9 内に絶縁体 6c を形成した。そして、150℃ 1 時間の熱処理を行って絶縁体 6c を硬化させる〔図 3 (i)〕。次に、埋め込まれた絶縁体 6c の所定の箇所にスルーホール 10 を形成する。このスルーホール形成にはレーザを用いた。スルーホール 10 は絶縁体 6c のみに形成し、導体 5a を貫通してはならないが、絶縁体と導体では絶縁体の方が弱いレーザ出力で削ることが可能なため、レーザ照射条件の設定は容易である〔図 3 (j)〕。

【0017】次に、スパッタ法により Ti/TiN と Cu からなるメッキ下地層を形成し、導体形成領域上に開口を有するメッキレジスト膜を形成した後、電解メッキにより Cu を堆積して、スルーホール 10 内壁、底面および絶縁体 6c 上に導体 5b を形成する。これにより、電極 3、バンプ 4、導体 5a、導体 5b は電気的に接続される。次に、メッキレジスト膜を除去し、露出したメッキ下地層をエッチング除去する〔図 4 (k)〕。次に、ソルダーレジストである絶縁体 6d を形成し、選択的に開口して導体 5b を露出して外部端子 7b を形成する〔図 4 (l)〕。その後、外部端子 7a を形成する。外部端子 7a にはボール径 250 μm の PbSn（鉛・スズ）半田を用いたが、他の半田を用いてもよい。また外部端子 7b のようににななくてもよい〔図 4 (m)〕。最後に、切断して半導体装置 1 を得る。切断にはダイシング装置を用いた。ダイシング条件は、ブレード厚 50 μm、切断速度 60 mm/秒、回転数 3000 rpm とした〔図 4 (n)〕。

【0018】図 5 は、本発明の第 2 の実施例の半導体装置 1 の断面図である。図 5 において図 1 に示した実施例の部分と同等の部分には、同じ参照番号が付けられているので重複する説明は省略する。本実施例においては、半導体装置 1 の側面の導体 5b に外部電極 7c を設けたものである。これによりさらなる高密度実装が可能となる。また、この半導体装置 1 の製造方法は、図 1 の半導体装置 1 の製造方法と同じであり、図 4 (n) に示す切断工程が完了した後、レーザ等により絶縁体 6d の一部

を除去して外部電極 7c を設けることにより得られる。

【0019】以上述べたように本発明の半導体装置の製造方法の特徴は、ウェハ状態で再配線を行った後、側面の配線を形成するために、一度切断する【図3(h)】にもかかわらずウェハ一括処理できる点にある。ウェハを切断しても再配線層が半導体チップを支持しているため、各工程での位置決めが容易である。また一括処理のため工数も低減できる。

【0020】以上、本発明の好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱することのない範囲において適宜の変更が可能なのである。例えば、バンプの形成方法を電解メッキ法で行ったが、ボンディング法、蒸着法あるいは転写法で形成してもよい。また、実施例では、同一の導体 5b 上に外部端子 7b と 7c を形成していたが、外部端子 7c の形成された導体 5b には他の外部端子を形成しないようにしてもよい。また、実施例では、すべての外部端子は半導体チップの電極 3 と接続されているが、必要に応じて電極に接続されずに、導体 5a、5b により相互に接続された外部端子を設けてもよい。

【0021】

【発明の効果】以上説明したように、本発明の半導体装置は、半導体装置の上下両面に外部端子を配し、そのための側面配線の再配線層との接続部を平面的な接触により実現したものであるので、電気的な接続の信頼性を損ねることなく、チップ面積の有効利用を図るとともに半導体チップの設計の自由度を確保することができる。また、本発明の半導体装置の製造方法は、再配線層を切断することなくウェハを切断するようにしたものであるもので、ウェハを切断してもウェハ状態を維持したまま、ウェハ一括処理でチップ側面の配線の形成と外部端子を形成を行うことができ、製造時のハンドリングが容易となり、また各工程での位置決めも容易となつて、その結果製造工数の低減を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の半導体装置の断面

図。

【図2】 本発明の第1の実施例の半導体装置の製造方法を示す工程順の断面図(その1)。

【図3】 本発明の第1の実施例の半導体装置の製造方法を示す工程順の断面図(その2)。

【図4】 本発明の第1の実施例の半導体装置の製造方法を示す工程順の断面図(その3)。

【図5】 本発明の第2の実施例の半導体装置の断面図。

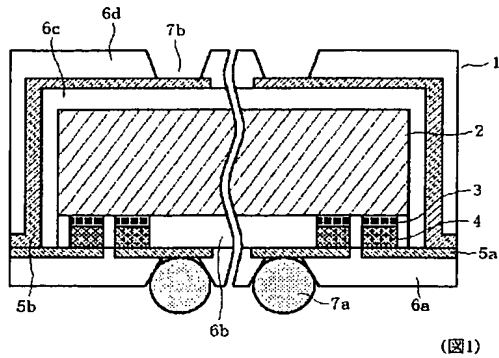
10 【図6】 第1の従来例の半導体装置の断面図。

【図7】 第2の従来例の半導体装置の断面図。

【符号の説明】

- 1、21 半導体装置
- 2、22 半導体チップ
- 3、23 電極
- 4、24 バンプ
- 4a メッキ下地層
- 5a、5b、25a、25b 導体
- 6a、6b、6c、6d、6e、26a、26b、26c 絶縁体
- 7a、7b、7c、27a、27b 外部端子
- 8 ウェハ
- 9 溝
- 10 スルーホール
- 11 再配線層
- 12、13 メッキレジスト膜
- 14 レジストマスク
- 20 ビアプラグ
- 30 CSP
- 31 シリコン基板
- 32、33、35 配線
- 34 接続部
- 36 柱状電極
- 37 配線基板
- 38 異方導電性接着剤
- 39 ベアチップ

【図 1】

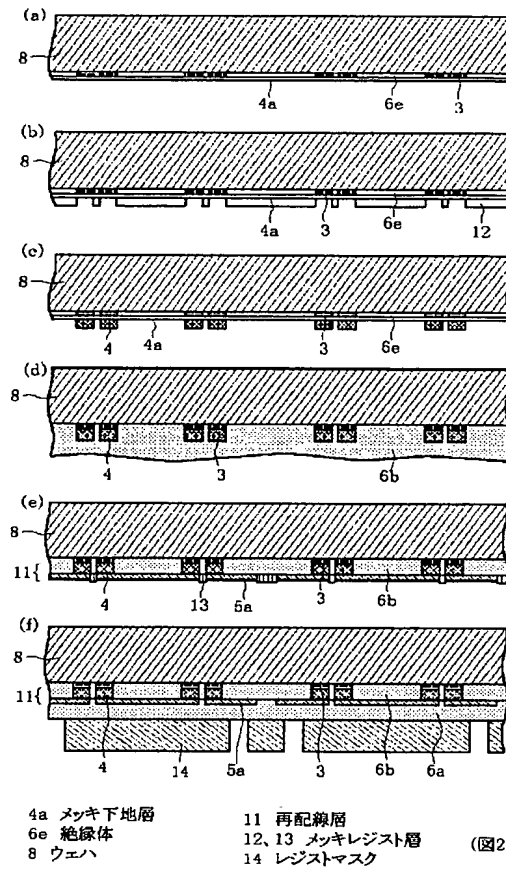


- 1 半導体装置
2 半導体チップ
3 電極
4 パンプ

- 5a, 5b 導体
6a, 6b, 6c, 6d 絶縁体
7a, 7b 外部端子

(図1)

【図 2】

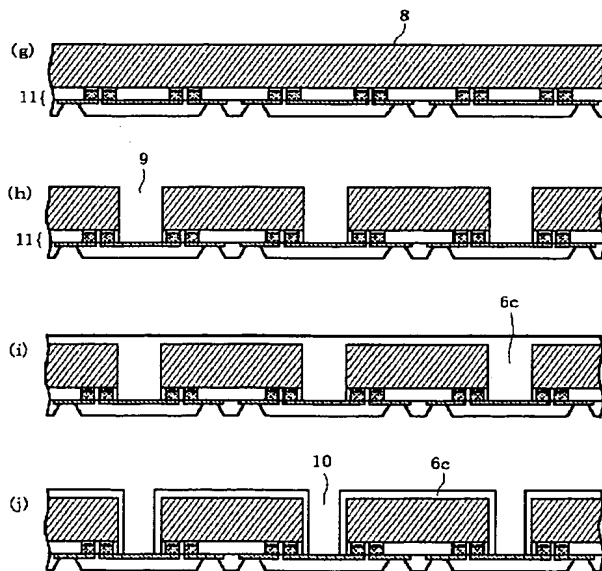


- 4a メッキ下地層
6e 絶縁体
8 ウェハ

- 11 再配線層
12, 13 メッキレジスト層
14 レジストマスク

(図2)

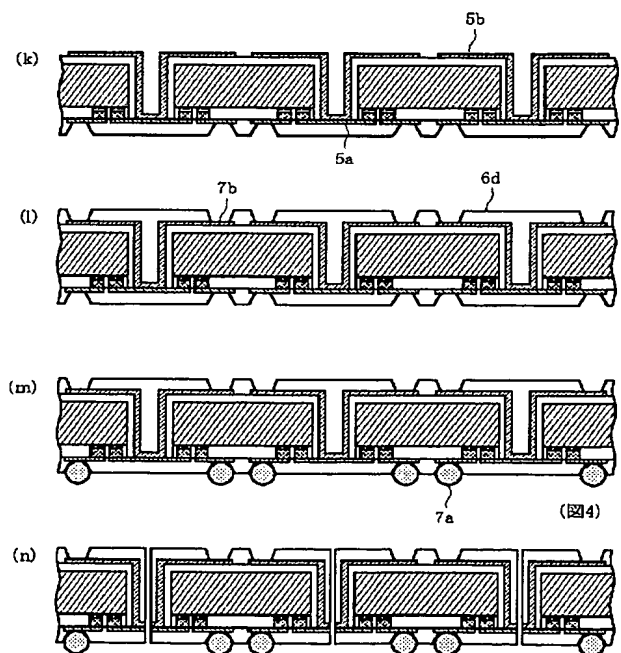
【図 3】



- 9 溝
10 スルーホール

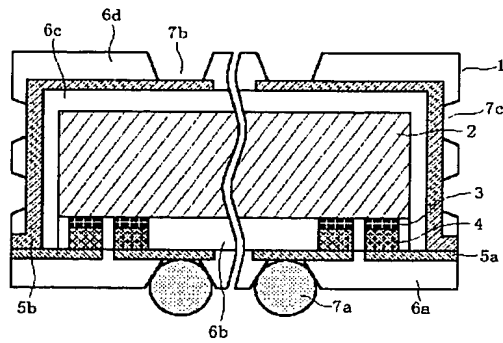
(図3)

【図 4】



(図4)

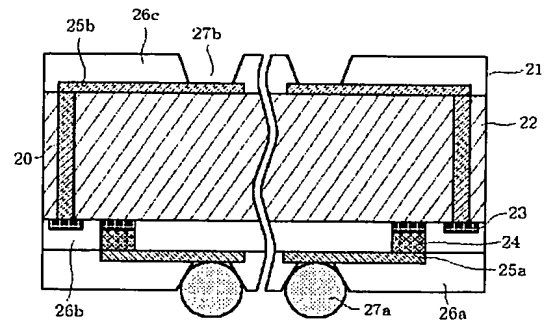
【図5】



7c 外部端子

(図5)

【図6】

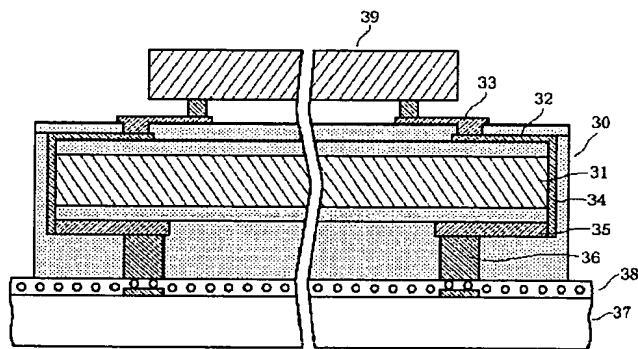


(図6)

20 ピアプラグ
21 半導体装置
22 半導体チップ
23 電極

24 パンプ
25a、25b 導体
26a、26b、26c 絶縁体
27a、27b 外部端子

【図7】



30 CSP
31 シリコン基板
32、33、35 配線
34 接続部

36 柱状電極
37 配線基板
38 異方導電性接着剤
39 ベアチップ

(図7)